



(19)

(11) Publication number: **06216689 A**

Generated Document.

PATENT ABSTRACTS OF JAPAN(21) Application number: **05024738**(51) Intl. Cl.: **H03H 7/34 H01F 17/00**(22) Application date: **19.01.93**

(30) Priority: (43) Date of application publication: 05.08.94 (84) Designated contracting states:	(71) Applicant: MURATA MFG CO LTD (72) Inventor: BANDAI HARUFUMI KATO NOBORU OCHII NORIHIRO (74) Representative:
--	--

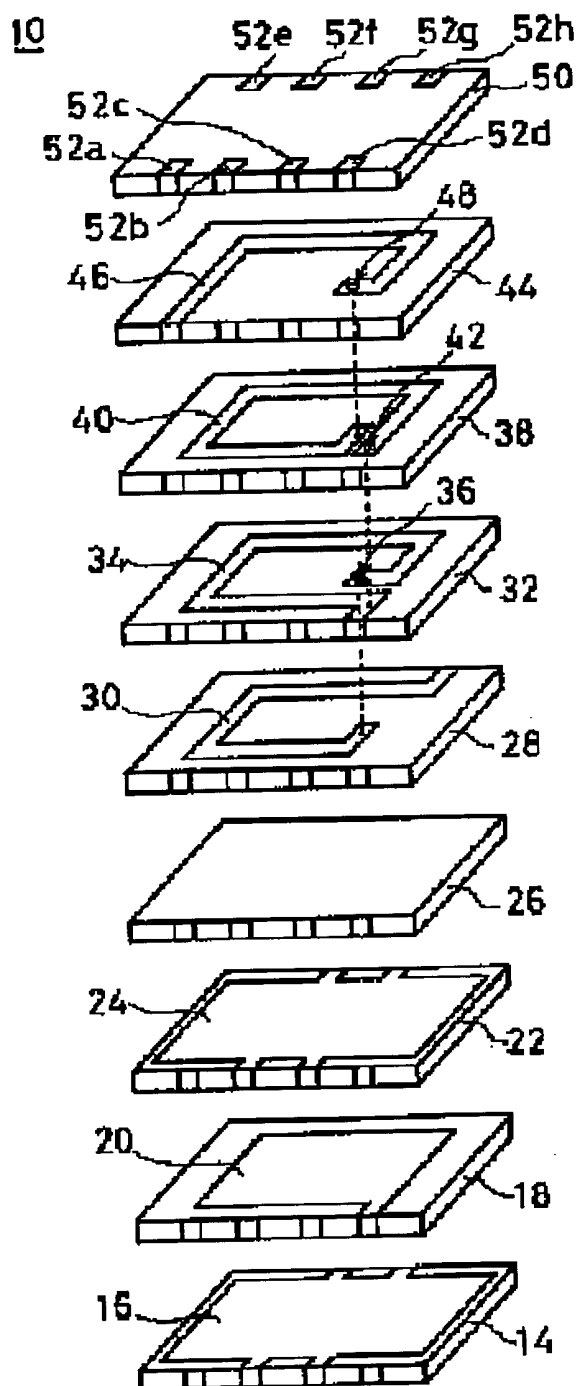
(54) DELAY LINE**(57) Abstract:**

PURPOSE: To provide a surface mountable delay line for which the dispersion of characteristics among respective elements is small and the dispersion of temperature characteristics is small.

CONSTITUTION: Earth electrodes 16 and 24 are formed on two layers 14 and 22, a capacitor electrode 20 is formed on the layer 18 between the two layers and coil electrodes 30, 34, 40 and 46 are formed respectively on the four layers 28, 32, 38 and 44. The coil electrodes 30, 34, 40 and 46 are connected via through-holes 36, 42 and 48, the earth electrodes 16 and 24 are connected to external electrodes 52b, 52c, 52f and 52g and the capacitor electrode 20 and the coil electrode 34 are connected through the external electrode 52d. The coil electrode 30 is connected to the external electrode 52h and the coil electrode 46 is connected to the external electrode 52a. A transformer

is formed by the coil electrodes 30, 34, 40 and 46 and a capacitor is formed by the capacitor electrode 20 and the earth electrodes 16 and 24.

COPYRIGHT: (C)1994,JPO&Japio



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-216689

(43)公開日 平成6年(1994)8月5日

(51)Int.Cl.⁵

H 0 3 H 7/34

H 0 1 F 17/00

識別記号

庁内整理番号

A 9184-5 J

D 8123-5 E

F I

技術表示箇所

審査請求 未請求 請求項の数 3 F D (全 6 頁)

(21)出願番号 特願平5-24738

(22)出願日 平成5年(1993)1月19日

(71)出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72)発明者 萬代治文

京都府長岡京市天神2丁目26番10号 株式会社村田製作所内

(72)発明者 加藤登

京都府長岡京市天神2丁目26番10号 株式会社村田製作所内

(72)発明者 落井紀宏

京都府長岡京市天神2丁目26番10号 株式会社村田製作所内

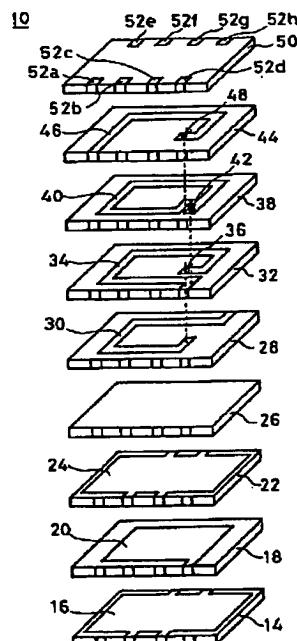
(74)代理人 弁理士 岡田 全啓

(54)【発明の名称】 ディレイライン

(57)【要約】

【目的】 各素子間の特性のばらつきが少なく、温度特性のばらつきが少なく、かつ表面実装可能なディレイラインを得る。

【構成】 2つの層14、22に、アース電極16、24を形成する。これらの間の層18に、コンデンサ電極20を形成する。4つの層28、32、38、44に、それぞれコイル電極30、34、40、46を形成する。スルーホール36、42、48を介して、コイル電極30、34、40、46を接続する。アース電極16、24を外部電極52b、52c、52f、52gに接続する。外部電極52dを介して、コンデンサ電極20とコイル電極34とを接続する。コイル電極30を外部電極52hに接続し、コイル電極46を外部電極52aに接続する。コイル電極30、34、40、46でトランスを形成し、コンデンサ電極20とアース電極16、24とでコンデンサを形成する。



【特許請求の範囲】

【請求項1】 複数の層を積層した積層体を含むディレイラインであって、前記積層体内に電極を形成することによって、前記積層体内にトランスと前記トランスに接続されるコンデンサとを形成した、ディレイライン。

【請求項2】 前記積層体の側面に外部電極が形成され、前記外部電極によって前記トランスと前記コンデンサとが電氣的に接続される、請求項1のディレイライン。

【請求項3】 前記積層体内に前記トランスに並列に接続される別のコンデンサが形成された、請求項1または請求項2のディレイライン。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明はディレイラインに関し、特にたとえば、集中定数型のディレイラインに関する。

【0002】

【従来の技術】図11はこの発明の背景となる従来のディレイラインの一例を示す図解図である。ディレイライン1は、プリント基板2を含む。プリント基板2の一方面上には、たとえばフェライトインダクタ3が取り付けられる。さらに、プリント基板2の他方面上には、チップコンデンサ4がはんだ付けされる。これらのフェライトインダクタ3とチップコンデンサ4とは、プリント基板2に形成されたパターン電極で接続される。そして、フェライトインダクタ3とチップコンデンサ4とで形成される回路は、プリント基板2から延びる端子5に接続される。

【0003】このディレイライン1では、図12に示すように、フェライトインダクタ3で複数のインダクタンスが形成され、チップコンデンサ4で複数のキャパシタンスが形成される。これらのインダクタンスとキャパシタンスとで、ディレイラインが形成される。

【0004】

【発明が解決しようとする課題】しかしながら、このようなディレイラインに用いられるフェライトインダクタのインダクタンスには、約20%のばらつきがあり、ディレイラインのディレイタイムのばらつきの原因となっている。また、フェライトインダクタやチップコンデンサなどが露出しているため、雰囲気温度の変化によって、インダクタンスやキャパシタンスが変動する。そのため、ディレイラインの温度特性にも、ばらつきが生じる。さらに、このようなディレイラインは端子を有するため、最近の表面実装の要求に応えることができない。

【0005】それゆえに、この発明の主たる目的は、各素子間の特性のばらつきが少なく、温度特性のばらつきが少なく、かつ表面実装可能なディレイラインを提供することである。

【0006】

【課題を解決するための手段】この発明は、複数の層を積層した積層体を含むディレイラインであって、積層体内に電極を形成することによって、積層体内にトランスとトランスに接続されるコンデンサとを形成した、ディレイラインである。トランスとコンデンサとは、積層体の側面に形成された外部電極によって接続される。さらに、積層体内にトランスに並列に接続される別のコンデンサを形成してもよい。

10 【0007】

【作用】積層体内の電極の寸法および電極の数などによって、インダクタンスやキャパシタンスが決定される。したがって、電極の寸法を決定することによって、ほぼ一定のインダクタンスおよびキャパシタンスを得ることができる。電極は積層体内に形成されるため、インダクタンスやキャパシタンスは雰囲気温度の影響を受けにくい。さらに、積層体の側面の外部電極は、トランスとコンデンサとの接続以外にも、外部回路との接続用としても利用される。

20 【0008】

【発明の効果】この発明によれば、インダクタンスおよびキャパシタンスのばらつきが小さいため、ディレイラインの特性ばらつきを小さくすることができる。また、インダクタンスやキャパシタンスが雰囲気温度の影響を受けにくいため、温度特性のばらつきの小さいディレイラインを得ることができる。さらに、積層体の側面の外部電極によって外部回路に接続されるため、表面実装型のディレイラインを得ることができる。

30 【0009】この発明の上述の目的、その他の目的、特徴および利点は、図面を参照して行う以下の実施例の詳細な説明から一層明らかとなろう。

【0010】

【実施例】図1はこの発明の一実施例を示す斜視図である。ディレイライン10は積層体12を含む。積層体12は、図2に示すように、複数の層を含む。第1の層14には、第1のアース電極16が形成される。第1のアース電極16は、第1の層14の外周部を除くほぼ全面に形成され、第1の層14の対向する端部にそれぞれ2か所ずつ引き出される。

40 【0011】第1のアース電極16上には、第2の層18が形成される。第2の層18上には、第1のコンデンサ電極20が形成される。第1のコンデンサ電極20は、第1のアース電極16に対向するように形成される。そして、第1のコンデンサ電極20は、第2の層18の一方端に引き出される。この第1のコンデンサ電極20は、第1のアース電極16の引き出し部とは別の位置に引き出される。

50 【0012】第1のコンデンサ電極20上には、第3の層22が形成される。第3の層22上には、第2のアース電極24が形成される。第2のアース電極24は、第

1のアース電極16と同じ形状に形成される。これらの第1のコンデンサ電極20と2つのアース電極16、24とで、コンデンサが形成される。第2のアース電極24上には、第4の層26が形成される。

【0013】第4の層26上には、第5の層28が形成される。第5の層28上には、第1のコイル電極30が形成される。第1のコイル電極30は、第5の層28の他端側から約3/4周するように形成される。第1のコイル電極30は、2つのアース電極16、24の引き出し位置と異なる位置に引き出される。

【0014】第1のコイル電極30上には、第6の層32が形成される。第6の層32上には、第2のコイル電極34が形成される。第2のコイル電極34は、第1のコイル電極30の端部に対応する位置から1周して、第6の層32の一端側に引き出される。このとき、第2のコイル電極34は、第1のコンデンサ電極20の引き出し位置に対応する位置に引き出される。第2のコイル電極34の端部にはスルーホール36が形成され、このスルーホール36を介して第1のコイル電極30と第2のコイル電極34とが接続される。

【0015】第2のコイル電極34上には、第7の層38が形成される。第7の層38上には、第3のコイル電極40が形成される。第3のコイル電極40は、第2のコイル電極34の引き出し部に対応する位置から1周するように形成される。そして、第3のコイル電極40の一端にはスルーホール42が形成され、このスルーホール42を介して第2のコイル電極34と第3のコイル電極40とが接続される。

【0016】第3のコイル電極40上には、第8の層44が形成される。第8の層44上には、第4のコイル電極46が形成される。第4のコイル電極46は、第3のコイル電極40の他端に対応する位置から約3/4周して、第8の層44の一端側に引き出される。第4のコイル電極46の端部にはスルーホール48が形成され、このスルーホール48を介して第3のコイル電極40と第4のコイル電極46とが接続される。さらに、第4のコイル電極46上には、第9の層50が形成される。これらの層が積層されて、積層体12が形成されている。

【0017】積層体12の側面には、複数の外部電極52a、52b、52c、52d、52e、52f、52gおよび52hが形成される。外部電極52aには、第4のコイル電極46が接続される。また、外部電極52b、52c、52f、52gには、2つのアース電極16、24が接続される。さらに、外部電極52dには、第1のコンデンサ電極20および第2のコイル電極34が接続される。また、外部電極52hには、第1のコイル電極30が接続される。

【0018】このディレイライン10は、図3に示すような等価回路を有する。このディレイライン10では、4つのコイル電極30、34、40、46でインダクタ

ンスが形成される。このインダクタンスの中間部が、第1のコンデンサ電極20に接続され、第1のコンデンサ電極20とアース電極16、24とでコンデンサが形成される。したがって、図3に示すように、インダクタンス部分はトランスとなり、このトランスがコンデンサを介して接地されている。

【0019】このようなディレイライン10を作製するには、たとえばセラミッグリーンシート上に各電極の形状に電極ペーストを塗布し、積層して焼結することによって積層体12が形成される。さらに、積層体12の側面に外部電極用の電極ペーストを塗布し、焼き付けることによって、外部電極が形成される。

【0020】このディレイライン10では、コイル電極30、34、40、46の寸法や巻数でインダクタンスが決定され、第1のコンデンサ電極20およびアース電極16、24の寸法でキャパシタンスが決定される。したがって、電極用ペーストを塗布するときにその寸法を一定にすれば、ほぼ一定の特性を得ることができる。したがって、多量のディレイラインを作製しても、それらの間の特性ばらつきを小さくすることができる。

【0021】また、コイル電極30、34、40、46、コンデンサ電極20およびアース電極16、24が積層体12内に形成されているため、雰囲気温度が変化しても、その影響を受けにくい。したがって、ディレイライン10の温度特性のばらつきを小さくすることができる。さらに、このディレイライン10は、積層体12の側面に外部電極52a~52hを形成したチップ状であり、プリント基板などに表面実装することができる。また、1つの積層体12内にインダクタンスやキャパシタンスを形成することができ、従来のディレイラインに比べて小型化することができる。

【0022】また、図4に示すように、積層体12内に複数のトランスおよびコンデンサを形成することも可能である。このディレイライン10では、第2の層18上に、3つのコンデンサ電極20a、20b、20cが形成される。また、第5の層28上には3つの第1のコイル電極30a、30b、30cが形成され、第6の層32上には3つの第2のコイル電極34a、34b、34cが形成され、第7の層38上には3つの第3のコイル電極40a、40b、40cが形成される。この実施例では、3つの層28、32、38に形成されたコイル電極でトランスが形成される。

【0023】このディレイライン10では、外部電極52aに第3のコイル電極40aが接続される。また、外部電極52bには、第1のコイル電極30aと第3のコイル電極40bとが接続される。さらに、外部電極52cには、第1のコイル電極30bと第3のコイル電極40cとが接続される。そして、外部電極52dには、第1のコイル電極30cが接続される。また、外部電極52e、52f、52gには、それぞれ第1のコンデンサ

5

電極20a, 20b, 20cおよび第2のコイル電極34a, 34b, 34cが接続される。そして、外部電極52gには、2つのアース電極16, 24が接続される。

【0024】したがって、このディレイライン10は、図5に示すように、3つのトランスを直列に接続し、各トランスにコンデンサが接続された等価回路を有する。このように、トランスとコンデンサとの数を変更することにより、所望のディレイタイムを得ることができる。

【0025】また、図6に示すように、第1の層14および第5の層28上に、アース電極16, 24が形成される。第2の層18上には、第1のコンデンサ電極20a, 20b, 20cが形成される。さらに、第3の層22上には、第1のコンデンサ電極20a, 20b, 20cに対向するように、第2のコンデンサ電極54a, 54b, 54cが形成される。これらの第2のコンデンサ電極54a, 54b, 54cは、それぞれ外部電極52a, 52b, 52dに接続される。したがって、第2のコンデンサ電極54aは第3のコイル電極40aに接続され、第2のコンデンサ電極54bは第1のコイル電極30aおよび第3のコイル電極40bに接続され、第2のコンデンサ電極54cは第1のコイル電極30cに接続される。

【0026】また、第4の層26および第6の層32には、それぞれ第3のコンデンサ電極56a, 56b, 56cおよび第4のコンデンサ電極58a, 58b, 58cが形成される。これらの第3のコンデンサ電極56a~56cおよび第4のコンデンサ電極58a~58cは、第1のコンデンサ電極20a~20cと同じ形状に形成される。また、第8の層44上に第1のコイル電極30a~30cが形成され、第9の層50上に第2のコイル電極34a~34cが形成され、第10の層60上に第3のコイル電極40a~40cが形成される。そして、第3のコイル電極40a~40c上には、第11の層62が形成される。

【0027】このディレイライン10では、第2のコンデンサ電極54a~54cと第1のコンデンサ電極20a~20cとの間および第2のコンデンサ電極54a~54cと第3のコンデンサ電極56a~56cとの間にコンデンサが形成される。したがって、このディレイライン10は、図7に示すように、トランスに並列にキャパシタンスを形成した等価回路を有する。このようなディレイライン10では、図8に示すように、周波数特性を良好にすることができる。図8からわかるように、トランスに並列にキャパシタンスを形成していない場合、高周波側でディレイタイムが下がっている。ところが、トランスに並列にキャパシタンスを形成することによって、高周波側でもディレイタイムが下らず、安定した周波数特性を得ることができる。

【0028】また、図9に示すような構造にして、トラ

6

ンスとアースとの間にキャパシタンスを形成してもよい。このディレイライン10では、第4の層26に第5のコンデンサ電極64が形成されている。この第5のコンデンサ電極64は、外部電極52hを介して第1のコイル電極30に接続される。このディレイライン10では、第2のアース電極24と第5のコンデンサ電極64とでコンデンサが形成される。したがって、図10に示すように、トランスとアースとの間にキャパシタンスが形成される。このディレイライン10では、トランスとアースとの間にキャパシタンスを形成し、高周波成分をカットするためのローパスフィルタが形成される。このようなローパスフィルタによって、リングングを抑えることができる。

【0029】このように、積層体内に電極を形成することによってディレイラインを作製すれば、内部の電極の寸法や数によってインダクタンスやキャパシタンスを決定することができ、個別の部品を使用する場合に比べてばらつきを少なくすることができる。したがって、ディレイタイムのばらつきの小さいディレイラインを得ることができる。また、インダクタンスやキャパシタンスの値は、雰囲気温度の変化に影響されにくく、温度特性のばらつきの小さいディレイラインを得ることができる。さらに、積層体の側面に外部電極が形成された形状であり、小型で表面実装可能なディレイラインを得ることができる。また、トランスに並列にキャパシタンスを形成することによって、ディレイラインの特性を改善することができる。

【図面の簡単な説明】

【図1】この発明の一実施例を示す斜視図である。

【図2】図1に示すディレイラインの分解斜視図である。

【図3】図1および図2に示すディレイラインの等価回路図である。

【図4】この発明の他の実施例を示す分解斜視図である。

【図5】図4に示すディレイラインの等価回路図である。

【図6】この発明のさらに他の実施例を示す分解斜視図である。

【図7】図6に示すディレイラインの等価回路図である。

【図8】図6に示すディレイラインの周波数特性を示すグラフである。

【図9】この発明の別の実施例を示す分解斜視図である。

【図10】図9に示すディレイラインの等価回路図である。

【図11】この発明の背景となる従来のディレイラインの一例を示す図解図である。

【図12】図11に示す従来のディレイラインの等価回

路図である。

【符号の説明】

10 ディレイライン

12 積層体

16 第1のアース電極

20 第1のコンデンサ電極

24 第2のアース電極

30 第1のコイル電極

* 34 第2のコイル電極

40 第3のコイル電極

46 第4のコイル電極

52a~52h 外部電極

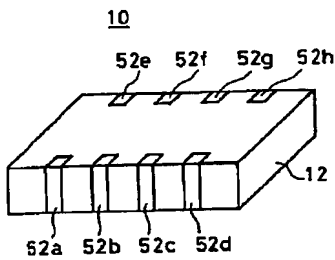
54a~54c 第2のコンデンサ電極

56a~56c 第3のコンデンサ電極

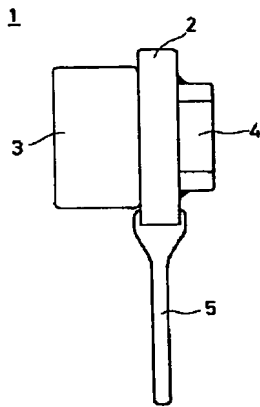
58a~58c 第4のコンデンサ電極

* 64 第5のコンデンサ電極

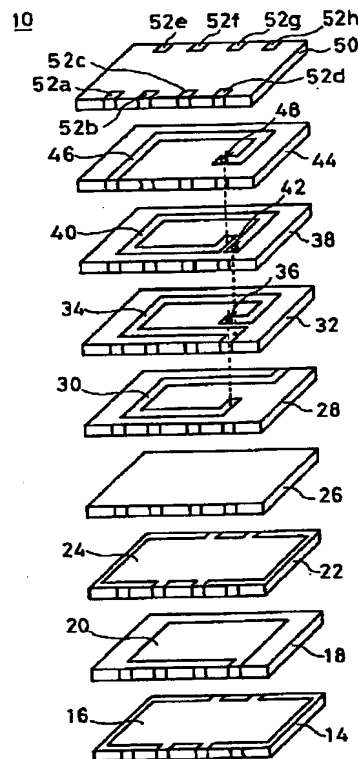
【図1】



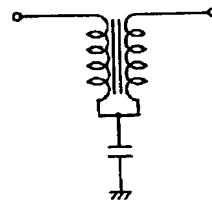
【図11】



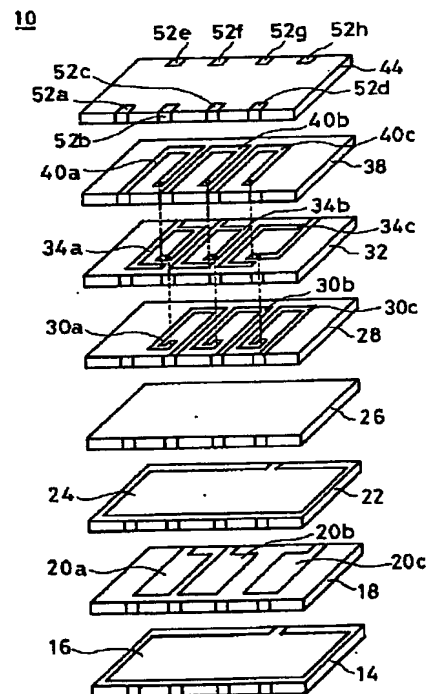
【図2】



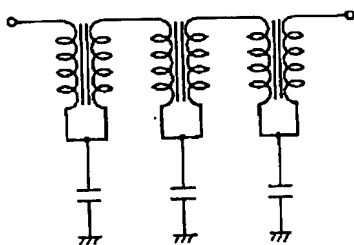
【図3】



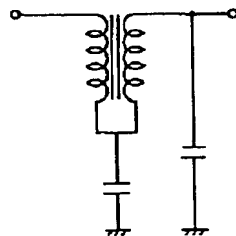
【図4】



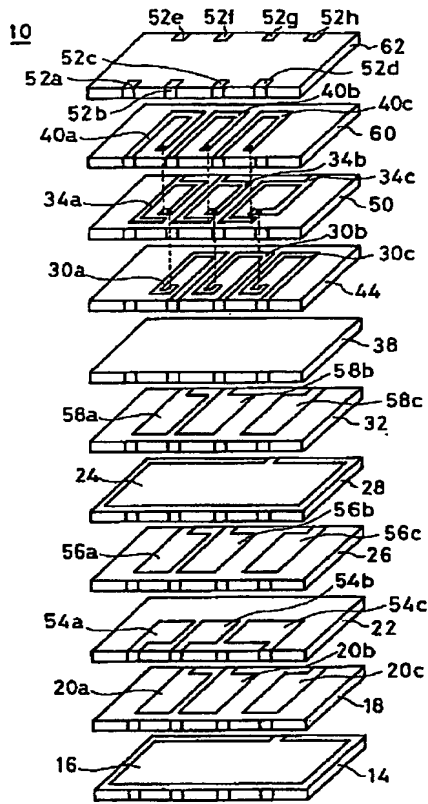
【図5】



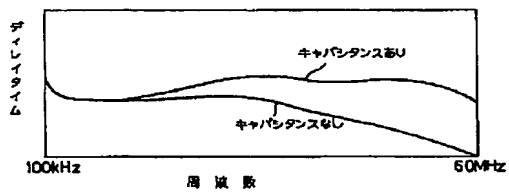
【図10】



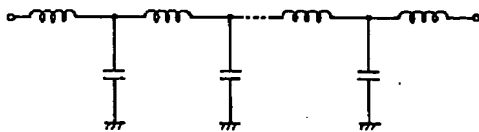
【図6】



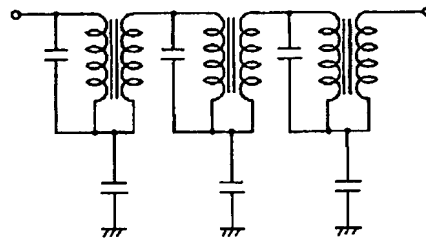
【図8】



【図12】



【図7】



【図9】

